

- 1 -

The following is a partial translation of Japanese Laid-Open Patent Application No. 2001-102512

Page 3, column 3, lines 47-48:

[0015]

FIG. 1 is a cross-sectional view of the capacitor mounting structure of one preferred embodiment of the invention.

Page 3, column 3, line 49 - column 4 line 11:

[0016]

The LSI chip 1 is mounted on the package substrate 2 via the solder balls 42, and the package substrate 2 is mounted on the wiring substrate 3 via the solder balls 42. The capacitor 5 is mounted on the bottom surface of the LSI chip 1 via the solder balls 42, to serve as a bypass capacitor connected between a ground circuit and a power-supply circuit on the LSI chip 1. Furthermore, the capacitor 5 is mounted on the bottom surface of the package substrate 2 via the solder balls 42, to serve as a bypass capacitor connected between a ground circuit and a power-supply circuit on the package substrate 2. One of the electrodes of the respective capacitors 5 are connected directly to the power-supply pads of the LSI chip 1 or the package substrate 2, and the other electrodes of the respective capacitors 5 are connected directly to the ground pads.

Page 3, column 4, lines 12-18:

[0017]

The capacitors 5 are mounted between the LSI chip 1 and the package substrate 2 and between the package substrate 2 and the wiring substrate 3. When compared with the conventional capacitor mounting structure of FIG. 2, the capacitors 5 can be placed between the ground circuit and the power-supply circuit in close proximity with the integrate circuit on the LSI chip 1. Therefore, it is possible for the present embodiment to effectively alleviate the problem of the switching noise of the LSI circuit.

FIG. 1:

- 1 LSI chip
- 2 package substrate
- 3 wiring substrate
- 41 solder ball
- 42 solder ball
- 5 capacitor
- 7 LSI device

FIG. 2:

- 1 LSI chip
- 2 package substrate
- 3 wiring substrate
- 41 solder ball
- 5 capacitor

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102512

(43)Date of publication of application : 13.04.2001

(51)Int.Cl. H01L 25/00
H01G 2/06
H01L 23/12
H05K 3/34

(21)Application number : 11-282097

(71)Applicant : NEC CORP

(22)Date of filing : 01.10.1999

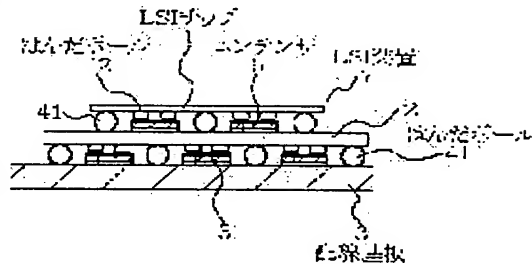
(72)Inventor : TOKORO TOMOKAZU

(54) CAPACITOR MOUNTING STRUCTURE AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress switching noise of a wiring board where an integrated circuit is mounted.

SOLUTION: An LSI chip 1 is mounted on a package board 2 via a solder ball 42, while the package board 2 is mounted on a wiring board 3 via the solder board 42. On the lower surface of LSI chip 1, a capacitor 5 is mounted via the solder ball 42, which acts as a bypass capacitor connected between a ground circuit and a power-source circuit on the LSI chip 1. On the lower surface of the package board 2, the capacitor 5 is mounted via the solder ball 42, which acts as a bypass capacitor connected between the ground circuit and the power-source circuit on the package board 2. In short, one electrode of each capacitor 5 is directly connected to the power-source pad of the package board 2 or the LSI chip 1, while the other electrode is connected to a ground pad.



LEGAL STATUS

[Date of request for examination] 05.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-102512
(P2001-102512A)

(43)公開日 平成13年4月13日(2001.4.13)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マ-ト*(参考) |
|--------------------------|-------|---------------|-------------|
| H 0 1 L 25/00 | | H 0 1 L 25/00 | B 5 E 3 1 9 |
| H 0 1 G 2/06 | | H 0 5 K 3/34 | 5 0 1 D |
| H 0 1 L 23/12 | | H 0 1 G 1/035 | C |
| H 0 5 K 3/34 | 5 0 1 | H 0 1 L 23/12 | B |

審査請求 有 請求項の数7 O L (全 5 頁)

(21)出願番号 特願平11-282097

(22)出願日 平成11年10月1日(1999.10.1)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 所 知一

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

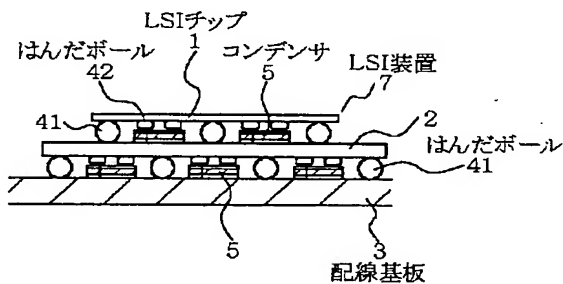
Fターム(参考) 5E319 AA03 AB05 AC01 BB04

(54)【発明の名称】 コンデンサ実装構造および方法

(57)【要約】

【課題】集積回路を搭載した配線基板のスイッチングノイズを抑える。

【解決手段】パッケージ基板2に半田ボール42を介してLSIチップ1が搭載され、パッケージ基板2は、半田ボール42を介して配線基板3に搭載されている。LSIチップ1の下面に半田ボール42を介してコンデンサ5が搭載され、LSIチップ1上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。さらに、パッケージ基板2の下面に半田ボール42を介してコンデンサ5が搭載され、パッケージ基板2上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。すなわち、コンデンサ5それぞれの一方の電極は、LSIチップ1またはパッケージ基板2の電源パッドに、他方の電極は接地パッドに直接接続されている。



【特許請求の範囲】

【請求項1】 配線基板と、この配線基板に搭載された集積回路装置と、前記配線基板と前記集積回路装置との間に設けられ前記配線基板に設けられた回路と前記集積回路装置に設けられた回路とを接続する接続手段と、前記配線基板と前記集積回路装置との間に設けられ前記集積回路装置にバンパによって接続されたコンデンサとを含むことを特徴とするコンデンサ実装構造。

【請求項2】 配線基板と、この配線基板に搭載された集積回路チップと、前記配線基板と前記集積回路チップとの間に設けられ前記配線基板に設けられた回路と前記集積回路チップに設けられた回路とを接続する接続手段と、前記配線基板と前記集積回路チップとの間に設けられ前記集積回路チップにバンパによって接続されたコンデンサとを含むことを特徴とするコンデンサ実装構造。

【請求項3】 集積回路チップを搭載したパッケージ基板と、このパッケージ基板を搭載する配線基板と、前記パッケージ基板と前記集積回路チップとの間に設けられ前記パッケージ基板に設けられた回路と前記集積回路チップに設けられた回路とを接続する第1の接続手段と、前記パッケージ基板と前記配線基板との間に設けられ前記パッケージ基板に設けられた回路と前記配線基板に設けられた回路とを接続する第2の接続手段と、前記集積回路チップと前記パッケージ基板との間に設けられ前記集積回路チップにバンパによって接続された第1のコンデンサおよび前記配線基板と前記パッケージ基板との間に設けられ前記パッケージ基板にバンパによって接続された第2のコンデンサの双方または何れか一方を含むことを特徴とするコンデンサ実装構造。

【請求項4】 前記接続手段、前記第1の接続手段または前記第2の接続手段は、バンパからなることを特徴とする請求項1、2または3に記載のコンデンサ接続構造。

【請求項5】 前記コンデンサは、前記配線基板または前記パッケージ基板に固着され、前記第1のコンデンサは、前記パッケージ基板に固着され、前記第2のコンデンサは、前記配線基板に固着されたことを特徴とする請求項1～4の何れかに記載のコンデンサ実装構造。

【請求項6】 集積回路装置の一の面にコンデンサをバンパにより接続し、次に配線基板に前記一の面を向けて前記配線基板との間に配置する接続手段を介して前記集積回路装置を前記配線基板に搭載することを特徴とするコンデンサ実装方法。

【請求項7】 配線基板にコンデンサを固着し、次に間に配置する接続手段を介して前記配線基板の前記コンデンサが内側に位置する部分に集積回路装置を搭載すると同時に前記コンデンサと前記集積回路装置とをバンパにより接続することを特徴とするコンデンサの実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンデンサ実装構造および方法に関し、特に配線基板に搭載されたLSI（大規模集積回路）装置にコンデンサを接続するコンデンサ実装構造および方法に関する。

【0002】

【従来の技術】図2は、従来のコンデンサ実装構造を示す断面図である。

【0003】LSI装置は、パッケージ基板2に半田ボール42を介してLSIチップ1が搭載されたものである。また、パッケージ基板2は、半田ボール42を介して配線基板3に搭載されている。パッケージ基板2のLSIチップ1の周囲の部分にコンデンサ5を搭載し、パッケージ基板2上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。さらに、配線基板3のパッケージ基板2の周囲および裏面の部分にコンデンサ5を搭載し、配線基板3上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。

【0004】

【発明が解決しようとする課題】LSIの高速スイッチングに伴い電源供給も高速に行われる必要があるが、電源自身の応答速度がLSIの電流変動に追従できないことと、電源の給電経路におけるインダクタンス成分による応答の遅れのために、スイッチングノイズを発生させる。それを防ぐために、コンデンサをLSIの近傍に配置し、電源の応答の遅れを補い、給電経路のインダクタンス成分を小さくする必要がある。

【0005】しかし、図2に示す従来のコンデンサ実装構造では、LSIチップ1とコンデンサ5との間の距離が大きくなり、これによってノイズを低減しきれないという問題があった。

【0006】本発明の目的は、LSIの高速スイッチングによって発生するスイッチングノイズを低減し、LSIの誤動作を防ぐことができるコンデンサ実装構造および方法を提供することにある。

【0007】

【課題を解決するための手段】本発明のコンデンサ実装方法は、配線基板（図1の3）と、この配線基板に搭載された集積回路装置（図1の7）と、前記配線基板と前記集積回路装置との間に設けられ前記配線基板に設けられた回路と前記集積回路装置に設けられた回路とを接続する接続手段（図1の41）と、前記配線基板と前記集積回路装置との間に設けられ前記集積回路装置にバンパ（図1の42）によって接続されたコンデンサ（図1の5）とを含むことを特徴とする。

【0008】本発明のコンデンサ実装構造は、配線基板（図5の3）と、この配線基板に搭載された集積回路チップ（図5の1）と、前記配線基板と前記集積回路チップとの間に設けられ前記配線基板に設けられた回路と前記集積回路チップに設けられた回路とを接続する接続手

段(図5の41)と、前記配線基板と前記集積回路チップとの間に設けられ前記集積回路チップにバンパ(図5の42)によって接続されたコンデンサ(図5の5)とを含むことを特徴とする。

【0009】本発明のコンデンサ実装構造は、集積回路チップ(図1の1)を搭載したパッケージ基板(図1の2)と、このパッケージ基板を搭載する配線基板(図1の3)と、前記パッケージ基板と前記集積回路チップとの間に設けられ前記パッケージ基板に設けられた回路と前記集積回路チップに設けられた回路とを接続する第1の接続手段(図1の41)と、前記パッケージ基板と前記配線基板との間に設けられ前記パッケージ基板に設けられた回路と前記配線基板に設けられた回路とを接続する第2の接続手段(図1の41)と、前記集積回路チップと前記パッケージ基板との間に設けられ前記集積回路チップにバンパ(図1の42)によって接続された第1のコンデンサ(図1の5)および前記配線基板と前記パッケージ基板との間に設けられ前記パッケージ基板にバンパ(図1の42)によって接続された第2のコンデンサ(図1の5)の双方または何れか一方を含むことを特徴とする。

【0010】上述のコンデンサ実装構造においては、前記接続手段、前記第1の接続手段または前記第2の接続手段は、例えば半田ボール(図1の41)等のバンパとすることができる。

【0011】上述のコンデンサ接続構造においては、前記コンデンサは、前記配線基板または前記パッケージ基板に固着され、前記第1のコンデンサは、前記パッケージ基板に固着され、前記第2のコンデンサは、前記配線基板に固着されたようにすることもできる。

【0012】本発明のコンデンサ接続方法は、集積回路装置(図1の7)の一の面にコンデンサ(図1の5)をバンパ(図1の42)により接続し、次に配線基板()に前記一の面を向けて前記配線基板(図1の3)との間に配置する接続手段(図1の41)を介して前記集積回路装置を前記配線基板に搭載することを特徴とする。

【0013】本発明のコンデンサ実装方法は、配線基板(図1の3)にコンデンサ(図1の5)を固着し、次に間に配置する接続手段(図1の41)を介して前記配線基板の前記コンデンサが内側に位置する部分に集積回路装置(図1の7)を搭載すると同時に前記コンデンサと前記集積回路装置とをバンパ(図1の42)により接続することを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0015】図1は、本発明の実施の形態のコンデンサ実装構造の断面図である。

【0016】パッケージ基板2に半田ボール42を介してLSIチップ1が搭載され、パッケージ基板2は、半

田ボール42を介して配線基板3に搭載されている。LSIチップ1の下面に半田ボール42を介してコンデンサ5が搭載され、LSIチップ1上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。さらに、パッケージ基板2の下面に半田ボール42を介してコンデンサ5が搭載され、パッケージ基板2上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。すなわち、コンデンサ5それぞれの一方の電極は、LSIチップ1またはパッケージ基板2の電源パッドに、他方の電極は接地パッドに直接接続されている。

【0017】コンデンサ5は、LSIチップ1とパッケージ基板2の間およびパッケージ2と配線基板3の間に実装されるため、図2に示した従来のコンデンサ実装構造と比較した場合、チップ1のLSI回路の近くの電源回路と接地回路との間にコンデンサ5を実装できるため、LSI回路のスウィッチングによるノイズを効果的に抑えることが可能となる。

【0018】図3は、図1のコンデンサ実装構造のLSIチップ1に搭載されたコンデンサ5並びにチップ1上のLSI回路6、電源回路Vccおよび接地回路GNDの間の等価回路を示す図であり、図4は、図2に示した従来のコンデンサ実装構造におけるパッケージ基板2に搭載されたコンデンサ5並びにチップ1上のLSI回路6、電源回路Vccおよび接地回路GNDの間の等価回路を示す図である。

【0019】いずれもコンデンサ5は、LSI回路6と並列に接続される。図3において電源回路VccとLSI回路6およびコンデンサ5との間に給電経路におけるインダクタンス81が存在し、接地回路GNDとLSI回路6およびコンデンサ5との間に給電経路におけるインダクタンス82が存在する。しかし、図1に示すコンデンサ実装構造では、コンデンサ5をLSI回路6に直接接続できるため、LSI回路6とコンデンサ5間の給電経路によるインダクタンスをなくすることが可能となる。

【0020】一方、図4においては、電源回路VccとLSI回路6およびコンデンサ5との間の給電経路にそれぞれインダクタンス81および83が存在し、接地回路GNDとLSI回路6およびコンデンサ5との間の給電経路にそれぞれインダクタンス82および81が存在し、さらに電源回路Vccのコンデンサ5への給電経路の接続点(バンパ42)とLSI回路6への給電経路の接続点(半田ボール41)との間におけるインダクタンス85および接地回路86のコンデンサ5への給電経路の接続点(バンパ42)とLSI回路6への給電経路の接続点(半田ボール41)との間におけるインダクタンス86が存在する。

【0021】図4に示す従来のコンデンサ接続構造では、LSI回路6とコンデンサ5との間の給電経路に、

電源回路Vcc側でインダクタンス81、83および85が存在し、接地回路GND側でインダクタンス82、84および86が存在し、スイッチングノイズが発生させていた。これに対し、本発明のコンデンサ実装構造では、インダクタンスがLSI回路6とコンデンサ5との間に存在しないため、スイッチングノイズを抑える効果がある。

【0022】パッケージ基板2と配線基板3との間に配置され、パッケージ基板2に接続されたコンデンサ5についても、図2に示した従来のコンデンサ実装構造での配線基板3に搭載されたコンデンサ5よりは、LSIチップ1上のLSI回路との間の給電経路が短く、スイッチングノイズを低く抑ええることができる効果がある。

【0023】図1に示すコンデンサ実装構造の製造方法は、まずLSIチップ1およびパッケージ基板2の所定の位置にコンデンサ5を半田ボール42により搭載し、さらにパッケージ基板2の所定の位置に半田ボール41を搭載する。次に、LSIチップ1をパッケージ基板2の所定の位置に置き、半田ボール41をチップ1に溶着させてLSIチップ1をパッケージ基板2に搭載し、LSI装置7を製造する。一方、配線基板3の所定の位置に半田ボール41を搭載しておき、この配線基板3の所定の位置にLSI装置7を置き、配線基板3上の半田ボール41をパッケージ基板2に溶着させてLSI装置7を配線基板3に搭載する。

【0024】なお、コンデンサ5をパッケージ基板2または配線基板3に半田や接着剤で固着すれば、コンデンサ実装構造の機械的強度を増大させることができる。

【0025】この場合のコンデンサ実装構造の製造方法は、まずパッケージ基板2の所定の位置にコンデンサ5を接着し、次にコンデンサ5それぞれの所定の位置に半田ボール42を搭載すると共に、パッケージ基板2の所定の位置に半田ボール41を搭載する。この後に、パッケージ基板2の所定の位置にLSIチップ1を置き、半田ボール41、42をチップ1に溶着させてLSIチップ1をパッケージ基板2に搭載すると共に、コンデンサ5をLSIチップ1に電氣的に接続し、LSI装置7を製造する。一方、配線基板3にも同様にコンデンサ5を接着し、半田ボール41を搭載し、コンデンサ5それぞれに半田ボール42を搭載しておき、この配線基板3の所定の位置にLSI装置7を置き、配線基板3上の半田ボール41およびコンデンサ5上の半田ボール42をパッケージ基板2に溶着させてLSI装置7を配線基板3に搭載すると共に配線基板3に接着されたコンデンサ5をLSI装置7に電氣的に接続する。

【0026】図5は、本発明の他の実施の形態のコンデンサ実装構造の断面図で、LSIチップ1をパッケージ基板を介さずに、配線基板3に直接実装するベアチップ

実装構造におけるものである。

【0027】配線基板3に半田ボール42を介してLSIチップ1が搭載され、LSIチップ1の下面に半田ボール42を介してコンデンサ5が搭載され、LSIチップ1上の接地回路と電源回路との間に接続されるバイパスコンデンサとしている。パッケージ基板を使用しないため、図1に示したコンデンサ実装構造よりも、さらに給電経路におけるインダクタンスを小さくすることができるため、スイッチングノイズを抑えることができる。

【0028】なお、半田ボール41の代わりにパッケージ基板2に植設したピン等を用いてパッケージ基板2と配線基板3とを接続することもできる。

【0029】また、図1および図5のコンデンサ接続構造において、LSIチップ1の上面にヒートシンクを固着等することもできる。

【0030】

【発明の効果】本発明のコンデンサ実装構造は、集積回路装置と配線基板との間にコンデンサを設けることにより、集積回路の近くにコンデンサを実装できるため、集積回路とコンデンサとの間の給電経路を短くでき、この給電経路におけるインダクタンスをなくか、短くすることが可能となり、スイッチングノイズを抑える効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態のコンデンサ実装構造の断面図である。

【図2】従来のコンデンサ実装構造の断面図である。

【図3】図1に示したコンデンサ実装構造のLSIチップ1に搭載されたコンデンサ5並びにチップ1上のLSI回路6、電源回路Vccおよび接地回路GNDの間の等価回路を示す図である。

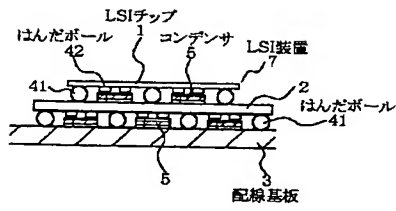
【図4】図2に示した従来のコンデンサ実装構造におけるパッケージ基板2に搭載されたコンデンサ5並びにチップ1上のLSI回路6、電源回路Vccおよび接地回路GNDの間の等価回路を示す図である。

【図5】本発明の他の実施の形態のコンデンサ実装構造の断面図である。

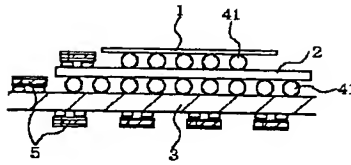
【符号の説明】

- 1 LSIチップ
- 2 パッケージ基板
- 3 配線基板
- 41 半田ボール
- 42 半田ボール
- 5 コンデンサ
- 6 LSI回路
- 7 LSI装置
- 81～86 インダクタンス

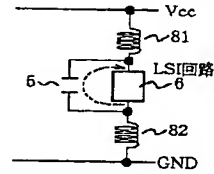
【図1】



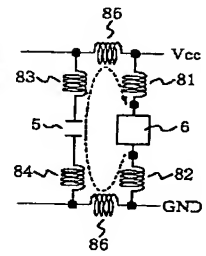
【図2】



【図3】



【図4】



【図5】

